

# 실시간 저면적 BDS B1C 수신기 FPGA 구현

김민수, 황지우, 최소연, 임지환, 신성균, \*유호영  
충남대학교 전자공학과

e-mail : *mskim.cas@gmail.com, jhwang.cas@gmail.com, sychoi.cas@gmail.com, jhlim.cas@gmail.com, sgshin.cas@gmail.com, hyyoo@cnu.ac.kr*

## Real-Time Area-Efficient FPGA Receiver Implementation for BDS B1C Signals

Minsu Kim, Jiwoo Hwang, Soyeon Choi, Jihwan Lim,  
Sungkyun Shin, and \*Hoyoung Yoo  
Department of Electronics Engineering  
Chungnam National University

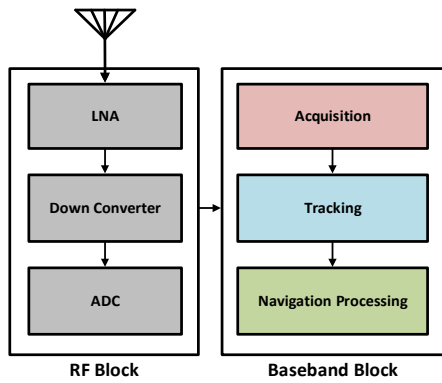
### Abstract

BDS(BeiDou Navigation Satellite System) is a navigation satellite system independently developed by China. The BDS B1C signals require long-length FFTs(Fast Fourier Transform) due to BOC (Binary Offset Carrier) based modulation and bit sign transition. The long-length FFTs increase the hardware complexity of the signal acquisition of the receiver, so a high-spec FPGA(Field Programmable Gate Array) of \$70K is required. Therefore, this paper implements the real-time area-efficient receiver with a low-spec FPGA of less than \$70K by utilizing the averaging correlation technique that can reduce the length of the FFTs by the length of one main code period.

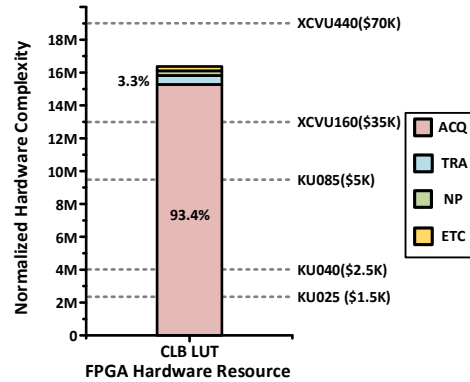
The proposed receiver applying the averaging correlation technique is implemented and synthesized using the Kintex Ultrascale KCU 105 board. As a result of the synthesis, the hardware complexity of the proposed receiver is reduced by 87.1% compared to the conventional receiver and reduced by 69.6% compared to the receiver to which the Parallel Partial Correlation technique is applied.

### I. 서론

Global Navigation Satellite System(GNSS)는 전세계 범위의 항법 서비스를 제공하는 시스템이다. 대표적인 GNSS로 미국의 GPS(Global Positioning System), 유럽 연합의 Galileo, 러시아의 GLONASS, 중국의 BDS(BeiDou Navigation Satellite System)가



(a) 수신기 구조



(b) 하드웨어 복잡도

그림 1. GNSS 수신기

있다. 중국은 독자적인 위성 항법 시스템을 구축하고자 총 3단계 개발 전략을 세웠으며, 2019년부터 시작된 BDS-3의 운영으로 전 세계 범위의 항법 서비스를 제공한다.

오픈 서비스를 제공하는 BDS-3 신호 중 B1C 신호는 표 1과 같이 정확도 향상을 위해 BOC(Binary Offset Carrier) 기반의 변조와 보조 코드(Secondary code)가 결합된 확산 코드를 신호에 적용하고 있으며, 다중 채널 기반으로 신호를 구성한다[1]. 이때, 신호의 항법 메시지와 보조 코드로 인해 상관 결과를 감쇠하는 비트 부호 전환이 발생할 수 있다[2]. 따라서, 그림 1. (a)와 같이 일반적인 수신기 구조로 설계하면 BOC 변조로 인한 높은 샘플링 주파수와 비트 부호 전환으로 긴 길이의 FFT(Fast Fourier Transform)가 필요하다. 일반적인 수신기의 긴 길이 FFT는 그림 1. (b)와 같이 신호 획득부의 하드웨어 복잡도를 높여 \$70K 규모의 고사양 FPGA(Field Programmable Gate Array)가 요구된다. 이때, \$35K의 XCVU160, \$5K의 KU085, \$2.5K의 KU040 그리고 \$1.5K의 KU025와 같은 저사양 FPGA에서는 수신기 구현이 제한된다.

본 논문은 FFT 길이를 줄일 수 있는 Averaging Correlation 기법을 활용하여 실시간 저면적 수신기를 FPGA에 구현하였다. Averaging Correlation 기법을 적용한 수신기는 FFT 길이를 주 코드 한 주기의 길이만큼 줄일 수 있어 저사양 FPGA에서 구현이 가능하다. 또한, 제안하는 수신기의 신뢰성을 위해 USRP로 실시간 위성 신호를 수신해 동작을 검증한다.

표 1. BDS B1C 신호[1]

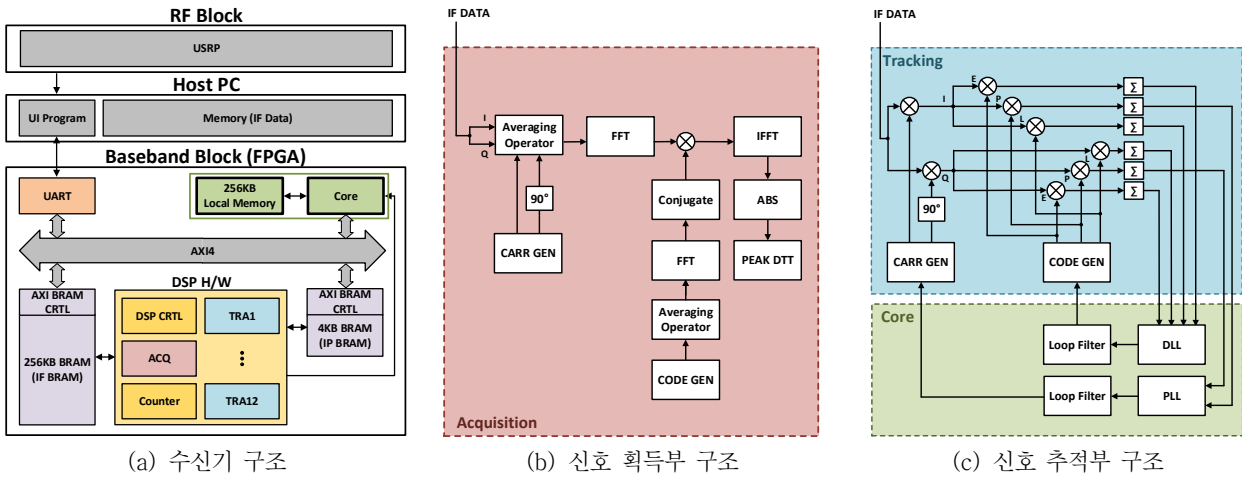
Channel	Code Type		Code Length	Code Period	Modulation	Subcarrier Frequency	Power Ratio
Data	Plain code	Primary code	10,230 chips	10ms	BOC(1,1)	1.023 MHz	11
Pilot	Tiered code	Primary code	10,230 chips	10ms	QMBOC(6,1,4/33)	1.023 MHz	29
		Secondary code	1,800 chips	18s		6.138 MHz	4

## II. 일반적인 GNSS 수신기

위성의 항법 및 시간 정보는 높은 자기 상관 특성을 갖는 확산 코드와 곱해지고 RF(Radio Frequency) 대역의 반송파 주파수로 송출된다. 위성에서 송출된 BDS B1C 신호는 그림 1. (a)의 RF단에서 IF(Intermediate Frequency) 데이터로 변환되어 기저대역 단으로 입력된다. 기저대역 단의 신호 획득부는 입력된 IF 데이터를 이용해 가시 위성을 검색하며, 상관 결과를 이용해 코드 위상 지연과 도플러 주파수의 대략적인 값을 획득한다. 획득 결과는 신호 추적부로 입력되어 주 코드 한 주기 동안 상관 값을 누적해 오차를 보상하고 위성을 추적하며 항법 데이터를 추출한다. 이때, 항법 처리부는 추출된 항법 데이터로 수신기의 위치, 속도, 시간 정보를 계산한다.

## III. 제안하는 BDS B1C 수신기

주 코드 한 주기 동안 샘플링한 IF 데이터의 길이는 샘플링 주파수와 주 코드 한 주기의 곱이다. 따라서, 샘플링 주파수가 25MHz이고 주 코드 한 주기가 10ms면 250,000샘플을 FFT로 처리해야 한다. FFT는 DFT (Discrete Fourier Transform)의 연산을 최소화한 알고리즘이지만 여전히 많은 연산으로 인해서 그림 1. (b)와 같이 신호 획득부의



(a) 수신기 구조 (b) 신호 획득부 구조 (c) 신호 추적부 구조  
 그림 2. 제안하는 BDS 수신기

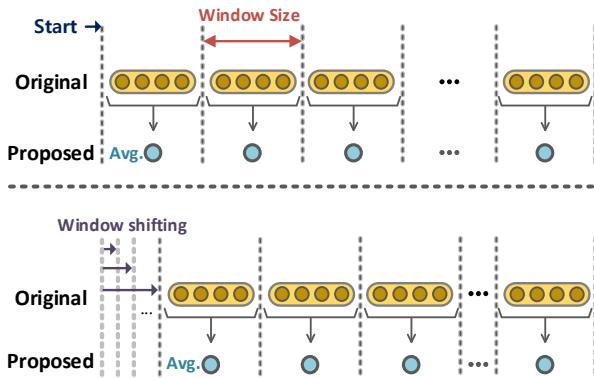


그림 3. Averaging Correlation 기법

하드웨어 복잡도가 높다. 따라서, 본 논문은 FFT의 길이를 줄일 수 있는 Averaging Correlation (AVG) 기법을 적용한 실시간 저면적 수신기를 제안하며, 신호 획득부의 구조는 그림 2. (b)와 같고 신호 추적부의 구조는 그림 2. (c)와 같다.

Averaging Correlation 기법은 그림 3 과 같이 연속적인 IF 데이터에 대해 평균하고 주 코드 한 주기에 해당하는 칩 길이만큼 평균한 IF 데이터를 기반으로 상관 연산을 수행한다. 따라서, 샘플링 주파수에 무관하게 주 코드 길이에 대한 FFT 연산을 수행하기 때문에 FFT 길이를 효과적으로 줄일 수 있다.

그림 3 의 윈도우 사이즈는 코드 한 칩에 해당하는 샘플 수로 샘플링 주파수를 코드 율로 나눈 값이다. 윈도우 사이즈만큼의 샘플을 평균한 값으로 상관 연산을 수행하기 때문에 상관 결과가 저하될 수 있다. 따라서, 보완 방법으로 IF 데이터의 코드 한 칩 내 시작 위치를 찾기 위해 윈도우 쉬프팅(Window shifting)을 하며 시작 위치를 찾는다.

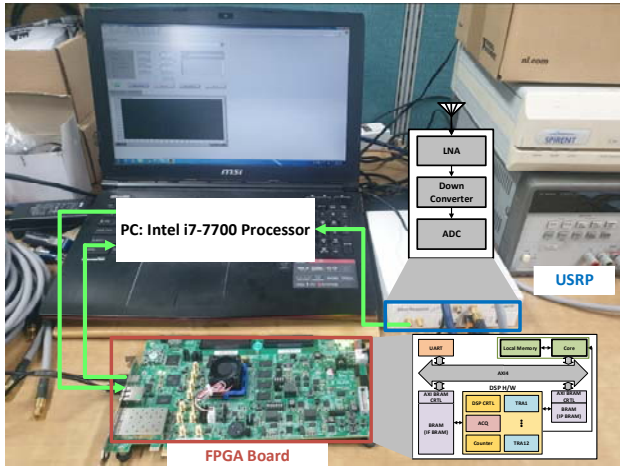
그림 2. (a)의 일반적인 BDS B1C 수신기는 비트 부호 전환을 해결하기 위해 주 코드 두 주기의 수신

신호로 상관 연산을 수행한다[2]. 이때, 샘플링 주파수가 25MHz 인 경우 일반적인 BDS B1C 수신기의 FFT 길이는  $2^{19}$ (524,288)이다. 제안하는 BDS B1C 수신기는 Averaging Correlation 기법을 적용해 비트 부호 전환을 고려해도 FFT 길이를  $2^{15}$ (32,768)까지 줄일 수 있다. 따라서, 제안하는 BDS B1C 수신기는 FFT 길이의 많은 감소로 연산량이 크게 감소하며 지연시간 측면에서도 효율성을 높일 수 있다.

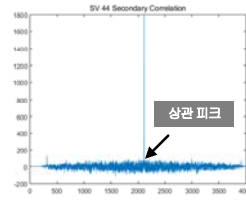
#### IV. 실험 결과 및 결론

실험은 Xilinx사의 Vivado 2020.2 툴을 이용하여 200MHz의 동작 주파수로 합성을 진행했고 FPGA 보드는 Xilinx사의 Kintex Ultrascale KCU 105 보드를 사용하였다. 제안하는 BDS B1C 수신기와 비교를 위해 일반적인 BDS B1C 수신기와 Parallel Partial Correlation(PPC) 기법[3]을 적용한 BDS B1C 수신기를 구현하였다. 또한, 수신기 동작 검증을 위해 그림 4. (a)와 같이 USRP를 이용하여 실제 위성 신호를 수신하였다. USRP의 샘플링 주파수는 25MHz, IF 주파수는 0.42MHz로 설정하였으며 수신한 날짜는 2022년 3월 19일이다. 동작 검증 결과, 그림 4. (b)-(d)와 같이 위성 번호 44번에 대한 획득 결과, 추적 결과 그리고 항법 결과가 BDS 공식 사이트[4]에서 제공되는 수신 날짜와 동일한 것을 확인하였다.

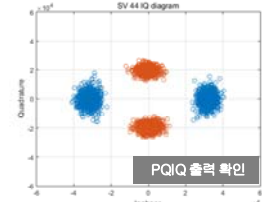
합성 결과는 표 2와 같이 CLB(Configurable Logic Block) LUT(Look Up Table)로 정규화 할 수 있다[5]. 제안하는 BDS B1C 수신기는 FFT 길이의 감소로 일반적인 수신기에 비해 하드웨어 복잡도가 87.1% 감소하며, PPC 기법을 적용한 수신기 대비 69.6% 감소한다.



(a) 실험 환경



(b) 획득 결과



(c) 추적 결과

```

---- SV Number[44] ----
PRN: 44
SOH: 162
WN: 845
HOW: 155
IODC: 25
IODE: 25
toe: 190800
SatType: 3
    
```

```

delA: -1.566602e+01
Adot: -4.056454e-03
deln0: 3.836946e-09
deln0dot:4.322777e-14
M0: 1.192362e+00
ecc: 5.735772e-04
    
```

항법 데이터 출력 확인

(d) 항법 결과

그림 4. 실험 환경 및 수신기 동작 확인

표 2. FPGA 합성 결과

Metric	Conventional[2]	PPC[3]	Proposed
CLB LUT	607,766	613,852	568,464
CLB FF	40,350	52,521	34,269
DSP	272	408	220
BRAM	3,810.5	3,092	348
Normalized CLB LUT	100.0%	82.5%	12.9%

표 3. FPGA 칩의 구현 가능성

FPGA Chip	Conventional[2]	PPC[3]	Proposed
KU025 (\$1.5K)	X	X	○
KU040 (\$2.5K)	X	X	○
KU085 (\$5K)	X	X	○
XCVU160 (\$35K)	X	○	○
XCVU440 (\$70K)	○	○	○

일반적인 수신기는 표 3과 같이 \$70K의 XCVU440에서 구현 가능하며, PPC 기법을 적용한 수신기는 \$70K와 \$35K의 XCVU160에서 구현 가능하다. 이때, 제안하는 수신기는 \$1.5K의 KU025에서도 구현이 가능하다. 따라서, 본 논문에서 제안하는 수신기는 높은 하드웨어 복잡도 문제를 효과적으로 해결할 수 있다.

### 참고문헌

[1] BeiDou Navigation Satellite System Signal In Space Interface Control Document Open Service Signal B1C. Available online: <http://en.beidou.gov.cn>

[2] J. Leclere et al., "FFT Splitting for Improved FPGA-Based Acquisition of GNSS Signals," International Journal of Navigation and Observation, vol. 2015, pp. 1–12, Dec 2015.

[3] S. Yan et al., "An Efficient Two-Stage B1C Signal Acquisition Technique for Engineering Implementation of the Modern Beidou Receiver," 2018 4th International Conference on Computer and Technology Applications, pp. 46–53, May 2018.

[4] BeiDou Navigation Satellite System. Available online: <http://en.beidou.gov.cn>

[5] UltraScale Architecture and Product Data Sheet. Available online: <https://docs.xilinx.com>